

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-349502

(43)Date of publication of application : 15.12.2000

(51)Int.CI.

H01P 1/15  
 H01L 27/04  
 H01L 21/822  
 H01L 27/095  
 // H01L 29/861

(21)Application number : 11-304044

(71)Applicant : TOYOTA CENTRAL RES &amp; DEV LAB INC

(22)Date of filing : 26.10.1999

(72)Inventor : HAYASHI HIROAKI  
 USUI MASANORI  
 TSUKADA KOJI  
 TANAKA YUICHI

(30)Priority

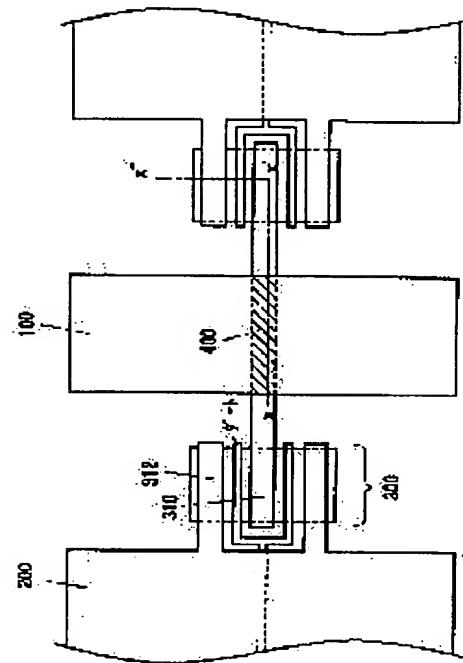
Priority number : 11086061 Priority date : 29.03.1999 Priority country : JP

## (54) HIGH FREQUENCY SWITCH

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a high frequency switch with a small loss.

**SOLUTION:** Relating to a coplanar high frequency switch formed on a semiconductor substrate, a capacitor 400 is formed between a signal line 100 and a FET 300 to connect the signal line 100 to ground 200 via the capacitor 400 and the FET 300. When the FET 300 is turned off, the capacitance of the capacitor 400 and the junction capacitance of the FET 300 are connected in series. The capacitance resulting from the series connection of the junction capacitance of the FET 300 and the capacitance of the capacitor 400 is smaller than the junction capacitance of the FET 300 itself. Thus, leakage to the ground when a high frequency signal passes the high frequency switch can be reduced. That is, the high frequency switch with a small loss can be realized.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-349502

(P2000-349502A)

(43)公開日 平成12年12月15日 (2000. 12. 15)

(51)Int.Cl.<sup>7</sup>  
H 01 P 1/15  
H 01 L 27/04  
21/822  
27/095  
// H 01 L 29/861

識別記号

F I  
H 01 P 1/15  
H 01 L 27/04  
29/80  
29/91

テ-マコード(参考)  
5 F 0 3 8  
C 5 F 1 0 2  
E 5 J 0 1 2  
C

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21)出願番号 特願平11-304044  
(22)出願日 平成11年10月26日 (1999. 10. 26)  
(31)優先権主張番号 特願平11-86061  
(32)優先日 平成11年3月29日 (1999. 3. 29)  
(33)優先権主張国 日本 (JP)

(71)出願人 000003609  
株式会社豊田中央研究所  
愛知県愛知郡長久手町大字長湫字横道41番  
地の1  
(72)発明者 林 宏明  
愛知県愛知郡長久手町大字長湫字横道41番  
地の1 株式会社豊田中央研究所内  
(72)発明者 白井 正則  
愛知県愛知郡長久手町大字長湫字横道41番  
地の1 株式会社豊田中央研究所内  
(74)代理人 100087723  
弁理士 藤谷 修

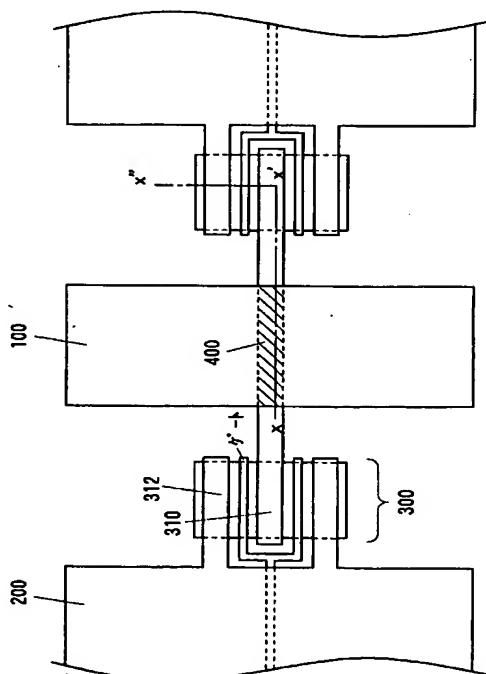
最終頁に続く

(54)【発明の名称】 高周波スイッチ装置

(57)【要約】

【課題】 低損失な高周波スイッチ装置を提供すること。

【解決手段】 半導体基板上に形成されたコプレーナ型の高周波スイッチ装置において、信号線路100とFET300間にコンデンサ400を形成して、信号線路100をコンデンサ400とFET300を介してグランド200に接続する。FET300のオフ時にはコンデンサ400とFET300の接合容量が直列接続となる。直列接続であるので、その合成容量はFET300の接合容量COより小となる。これにより、高周波信号の通過時のグランドへの漏洩が低減される。即ち低損失な高周波スイッチ装置となる。



## 【特許請求の範囲】

【請求項1】半導体基板上に製造された高周波スイッチ装置であって、同一平面上に形成された信号線路とグランド間に、少なくとも2つの端子を備する少なくとも1つの半導体素子を備え、該半導体素子をオン／オフすることによって高周波信号の遮断／通過を制御する高周波スイッチ装置において、

前記半導体素子に直列に容量素子を形成し、通過時の損失を低減させたことを特徴とする高周波スイッチ装置。

【請求項2】前記容量素子は、前記信号線路に直接形成された絶縁膜と導電膜とから成ることを特徴とする請求項1に記載の高周波スイッチ装置。

【請求項3】前記半導体素子は、3端子を有するトランジスタ素子であることを特徴とする請求項1または請求項2に記載の高周波スイッチ装置。

【請求項4】前記半導体素子は、ダイオード素子であることを特徴とする請求項1または請求項2に記載の高周波スイッチ装置。

【請求項5】前記信号線路は、前記グランドとある間隔をもって形成されたコプレーナ線路であることを特徴とする請求項1乃至請求項4のいずれか1項に記載の高周波スイッチ装置。

【請求項6】前記容量素子を備えた前記半導体素子は、前記信号線路において、信号波長の約1/4の間隔の少なくとも2つの位置で設けられており、前記複数の半導体素子を同時にオン／オフ制御することを特徴とする請求項1乃至請求項5の何れか1項に記載の高周波スイッチ装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、高周波信号を切り替える高周波スイッチ装置に関する。特に、信号線路とグランド間の結合容量を低減させ、挿入損失を低減させるとともにアイソレーションを確保する高周波スイッチ装置に関する。例えば、1入力端子に入力されたGHz帯の高周波を複数の端子に切り替える高周波スイッチ装置に適用できる。

## 【0002】

【従来の技術】従来より、信号線路とグランド間に半導体素子を接続した高周波スイッチ装置が知られている。その1例を図15に示す。これは、アンテナからの信号を受信回路へ、そして送信回路からの信号をアンテナへ切り替える装置である。

【0003】例えば、アンテナから入力された信号を受信する場合は、FET6をオンし、同時にFET7をオフにする。FET6がオンされるとFET6は数Ωの抵抗となりA点はほぼグランド状態になる。また、このFET6のドレインに信号波長の1/4に設定されたλ/4信号線路1が接続されているので、C点から送信回路側を見たインピーダンスはほぼ無限大となる。これによ

り、アンテナからの信号は送信回路側には伝搬できない。一方、FET7がオフされるとFET7はハイインピーダンスとなり、信号は受信回路側に伝搬する。しかしながら、FET7のドレインソース間には数十～数百fFの接合容量が存在し、信号周波数が高くなると、信号がオフ時にもこの接合容量を介してグランド側に漏洩し、受信回路側への信号の伝搬量が低下するという問題がある。

【0004】これを解決するために、例えば特開平8-213802号公報に開示のマイクロ波スイッチ回路は信号線路とFET素子6, 7間にインダクタ8, 9を挿入している(図16(a))。この場合は、FET6のオフ時には、インダクタ8とFET6の接合容量とで直列共振回路が形成される。例えば、FET6をオフ、FET7をオンにすれば、FET6側即ち送信回路側でFETの接合容量とインダクタとで直列共振が起こり共振電流が流れる。即ち、λ/4信号線路1の端子Cから送信回路側を見たインピーダンスが無限大となり、アンテナからの高周波信号は送信回路側には伝搬されない。逆に、FET7側即ち受信回路側では、インダクタ9とFET7のオン抵抗との直列接続回路のインピーダンスが無限大となり、λ/4信号線路2の端子Cから受信回路側を見たインピーダンスは線路インピーダンスに等しくなる。これにより、アンテナからの信号は受信回路に向けて損失なく伝搬する。このような方策で、伝送信号の漏洩を防いでいた。

【0005】また、他の例として特開平6-232601号公報に開示のマイクロ波スイッチ回路がある。これは、上記FET素子に並列にインダクタを設け、インダクタとオフ時のFET素子の接合容量との並列共振によって、インピーダンスを高めることにより挿入損失の低減を実現させるものである(図16(b))。この場合は、共振した時にハイインピーダンスになる現象を利用している。即ちFET6をオフさせれば、並列共振(=ハイインピーダンス)となりオフさせたFET6の接続されている経路に高周波信号が伝搬される。もう一方のFET7をオンさせれば、λ/4信号線路2からB点を見たインピーダンスがほぼ0となり、C点からB点への信号の伝搬は遮断される。このように、アイソレーションがなされる。FET6とFET7のオン、オフを逆転させれば信号の伝搬、遮断の関係も逆転できる。この場合には、共振現象を利用して挿入損失の低減を実現させている。

## 【0006】

【発明が解決しようとする課題】しかしながら、両者が利用する上記共振現象は特定の周波数帯のみ有効であり、共振から外れる他の周波数帯域、従って、広い帯域信号に対しては、挿入損失およびアイソレーション特性は改善されない。また、上記共振現象は温度変化等の環境変化の影響を受けやすいという欠点がある。即ち、温度変

化によってインダクタのインダクタンス、FETの接合容量が変化すると、それにより上記共振周波数が変化する。従って、前者の従来例では温度変化によって共振条件から外れれば、アイソレーションが低下することで挿入損失が増大する。また、後者の従来例では、温度変化によって共振条件から外れれば、挿入損失が低減できない。また、製造上、両者とも誘導成分としては、例えばチップインダクタを採用する必要がある。これは、省スペース化・小型化という近来の電子機器の要求に応えるものではない。また、半導体製造技術によってインダクタを作製する場合であっても、マイクロ波帯ではスパイラルインダクタを使うことである程度の面積を必要とし、ひいてはコスト高につながるという問題もある。

【0007】本発明は、上述した問題点を解決するためになされたものであり、その目的は、信号線路と半導体素子間に容量素子を形成することによって、グランドへの信号の漏洩を低減させるとともに入力ー出力オフポート間のアイソレーション特性を確保する高周波スイッチ装置を提供することである。特に、上記容量素子を信号線路に直接形成し、省スペースとすることにより高周波スイッチ装置をさらに小型化することである。

#### 【0008】

【課題を解決するための手段】上記の課題を解決するために請求項1に記載の高周波スイッチ装置は、半導体基板上に製造された高周波スイッチ装置であって、同一平面上に形成された信号線路とグランド間に少なくとも2つの端子を具備する少なくとも1つの半導体素子を備え、その半導体素子をオン／オフすることによって、高周波信号の通過／遮断を制御する高周波スイッチ装置であって、その半導体素子に容量素子を直列に形成し、通過時の損失を低減させることを特徴とする。

【0009】また、請求項2に記載の高周波スイッチ装置は、容量素子がその信号線路に直接形成された絶縁膜と導電膜とから成ることを特徴とする。

【0010】また、請求項3の高周波スイッチ装置は、半導体素子が3端子を有するトランジスタ素子であることを特徴とする。

【0011】請求項4の高周波スイッチ装置は、半導体素子がダイオード素子であることを特徴とする。

【0012】請求項5の高周波スイッチ装置は、信号線路の両側にグランドがある間隔を持って形成されたタイプの伝送路、即ちコブレーナ線路であることを特徴とする。

【0013】請求項6の高周波スイッチ装置は、信号波長の約1/4の間隔の少なくとも2つの位置で、容量素子を備えた半導体素子をそれぞれ設け、それらの半導体素子を同時に制御するようにしたことを特徴とする。

#### 【0014】

【作用および効果】請求項1に記載の高周波スイッチ装置によれば、信号線路とグランド間に少なくとも2つの

端子を具備する少なくとも1つの半導体素子を設け、その半導体素子に直列に容量素子を形成している。半導体素子のオフ時の等価容量は、形成された容量素子と半導体素子の有する接合容量の合成となる。容量素子は半導体素子の有する接合容量に直列に形成されるので、その合成インピーダンスをより大きくすることができる。よって、高周波信号はグランド側にはほとんど漏洩されず、接続された回路に送出される。即ち、挿入損失が低減される。

10 【0015】また、半導体素子のオン時には、上記容量素子は例えば数Ωのオン抵抗によってグランドに接続される。これにより、信号線路のその点でのインピーダンスをほぼ0とすることができます。即ち、高周波信号が遮断される。以上のように、本発明は高周波スイッチ装置としてのオン／オフ制御を、共振現象によらずに行うので温度変化等の環境変化の影響を受けにくく、安定な動作が可能となる。このスイッチ回路を分岐回路と組み合わせ、切替スイッチを構成する場合には、分岐点から高周波信号の波長λに対して約λ/4の位置に形成するのが望ましい。分岐点から半導体素子がオンされた側の分岐回路を見たインピーダンスはほぼ無限大となり、その方向への信号の分岐が阻止される。これにより、アイソレーション特性が向上できる。尚、容量素子は上記信号線路と上記半導体素子間に設けてもよいし、また上記半導体素子とグランド間に設けることもできる。また、上記半導体素子は複数段設けても良い。複数段とすることでさらにアイソレーション特性を向上させることができる。

30 【0016】また、請求項2に記載の高周波スイッチ装置によれば、その信号線路に直接に絶縁膜と導電膜が設けられて容量素子が形成されている。即ち、容量素子は信号線路と絶縁膜と導電膜が重なり合って形成されており、信号線路からの引き出し線がない。この構造により、最も省スペースな容量素子となる。また、引き出し線による損失も回避される。容量素子をこのように形成しているので、より小型化された高周波スイッチ装置となる。

40 【0017】また、請求項3に記載の高周波スイッチ装置によれば、信号線路とグランド間に半導体素子として3端子を有するトランジスタ素子を備えている。このトランジスタは、例えばFETであり、ゲート電圧によって発生せられる電界によって制御電流がほとんど0で、そのオン／オフを高速に制御できる。尚、上記トランジスタはバイポーラ型でもよい。

【0018】請求項4に記載の高周波スイッチ装置によれば、信号線路とグランド間に半導体素子としてダイオード素子を備えている。このダイオード素子は、例えばPIN型ダイオードである。このPIN型ダイオードのカソード側をグランドに接続し、アノード端子の電位を制御すれば上記高周波信号がスイッチされる。例えば、

アノード端子に逆バイアスを印加すればPIN型ダイオードはオフとなり、高周波信号が出力される。逆にアノード端子に順バイアスを印加すればPIN型ダイオードはオンとなり、高周波信号は遮断される。PIN型ダイオードのオフ時の接合容量は、FETのそれより小さいので挿入損失がより低減される。尚、上記ダイオードはショットキーダイオードでも、良い

【0019】請求項5に記載の高周波スイッチ装置によれば、信号線路とグランドがある間隔で形成されたコプレーナ線路となっている。形成するコンデンサの一方の電極として導電層を使用し、絶縁層を介した他方の電極に信号線路あるいはグランドを使用することで小型な高周波スイッチ装置となる。

【0020】請求項6に記載の高周波スイッチ装置によれば、信号線路において、信号波長の約1/4間隔の少なくとも2つの位置で、容量素子を備えた半導体素子をそれぞれ設けている。例えば、下流側の1つの半導体素子をオンしてその位置で信号線路をグランドに接続することで、約1/4波長の上流位置で、下流側を見たインピーダンスはほぼ無限大となる。よって、その上流側の位置で、さらに、半導体素子をオンして信号線路をグランドに接続すると、その位置から下流側を見たインピーダンスもほぼ無限大であるので、その位置でのアイソレーションが不完全な場合にも、下流側のインピーダンスは大きいため、信号の漏れが防止される。従って、このような構成にすれば、挿入損失の低減効果に加えアイソレーション特性もより向上させることができる。尚、アイソレーション特性とは、半導体素子をオンして高周波信号の通過をオフさせた時の出力端子への信号の漏れを少なくする特性である。

【0021】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。なお、本発明は下記実施例に限定されるものではない。

(第1実施例) 図1に本発明の高周波スイッチ装置を示す。図は、GaN基板上に作製された同装置の上面図である。本発明には、半導体素子としてFETが用いられる。本発明の高周波スイッチ装置は、信号線路100、グランド200、これらの間に形成されたFET300そして容量素子であるコンデンサ400から構成される。このコンデンサ400は、後述する導電膜110、絶縁膜120(図2)と信号線路100との重なりによって形成される。その重なりサイズは、約50μm×10μmである。また、FET300のドレン電極310はこのコンデンサ400に、ソース電極312はグランド200に接続されている。また、この場合、信号線路100とグランド200はある間隔で形成されたコプレーナ線路であり、その特性インピーダンスは50Ωに設計されている。

【0022】図2に上記高周波スイッチ装置の断面図を

示す。図は図1に示すx、x'、x''で切り取った断面図である。断面図を用いてその構造を説明する。この構造は、エピタキシャル成長技術、フォトリソグラフィ技術、半導体エッチング技術、絶縁膜形成技術、電極形成技術、金メッキ技術等の所謂半導体プレーナー加工技術によって作製される。上記FET300は、半絶縁性GaN基板上に上記技術により形成されたドレン、ゲート、ソースから構成される。また、上記コンデンサ400は、基板上に順に、導電膜110、SiNからなる絶縁膜(誘電体膜)120、そして信号線路100によって形成される。上記3者の重なった部分がコンデンサ400である。この容量は、例えば150fFに設定される。そして、FET300のドレン電極310と上記導電膜110が接続された構造となっている。以上の構造に、ゲート配線の先とゲート端子の間に抵抗を挿入したものを回路で示せば図3の回路図となる。

【0023】図3において、入力端子から信号線路100に入力された高周波信号は、このコンデンサ400を介しFET300を経てグランド200に流れることになる。この流れる量をFET300によって制御すれば、出力端子での高周波信号のオン・オフが制御される。

【0024】次に、図4を用いてこの高周波スイッチ装置の動作を説明する。図は、誘導成分を省略した図3の等価回路である。FET300のゲートは、図示しないゲート端子に抵抗を介して接続されており、そのゲート端子に所定の電圧を印加することでこのFET300はオン・オフされる。例えば、ゲート端子の電位を0VにしてFET300をオンにすればドレン・ソース間が導通する。この時のオン抵抗は、数Ωとなる。即ち、信号線路100は、コンデンサ400(≈150fF)と数Ωの抵抗を介してグランドに接続される(図4

(a))。この時、コンデンサ400とオン抵抗からなる合成インピーダンスは、信号周波数に対して十分小さく、この点で信号線路はグランドに接続されたことになり、高周波信号はここで反射され、その先には伝搬しにくくなる。これで、高周波信号がオフされる。

【0025】一方FET300がオフされた場合、その等価回路は、図4(b)に示すようにコンデンサ400の容量C1(≈150fF)とFET300のオフ時のドレン・ソース間接合容量C0との直列接続となる。従って、その合成容量(≈28fF)は上記接合容量C0(≈35fF)より小さくなり、高周波信号に対するインピーダンスをコンデンサ400を付加しない場合に比べてより大きくすることができる。これは、コプレーナ線路から見れば、線路の途中に何もつながっていない状態により近づけることを意味する。従って、高周波信号の伝送損失、即ち、スイッチ装置による挿入損失を低減させることができる。このようにして、従来より損失を低減した高周波信号の通過を実現することができる。

【0026】図5に、図3の回路でコンデンサ400のない従来例と図3の回路での実施例の比較を示す。比較は、高周波スイッチ装置の挿入時における挿入損失の特性比較である。横軸が周波数、縦軸が信号レベルである。これは、75GHz～110GHzの高周波信号を高周波スイッチ装置に入力した場合の、挿入損失をネットワークアナライザで測定した結果である。周波数7.4GHzにおいて従来では-1.4dBの損失があったが、本実施例では-0.3dBに改善されている。

【0027】このように、信号線路100直下にコンデンサ400を形成し、FET300に接続すれば、信号の通過時における信号のグランドへの漏洩を改善することができる。これにより挿入損失がより低減された高周波スイッチ装置となる。

【0028】尚、上記説明では、簡単のため1つのFET300で説明したが、実際は図1の上面図に示した様に、信号線路100の両側に線対称に2個のFET300が配設されている。従って、回路図も図6に示すようにコンデンサ400に同特性の2個のFET300が並列接続された回路となる。

【0029】この構造には、また他の優れた効果がある。一般に、信号線路内に高周波信号が入力されると、高周波信号の電磁界分布は信号線路の中心線に対し線対称に形成される。この電磁界分布が、抵抗素子やコンデンサ素子によってその対称性が乱されると透過特性の低下の原因となる。本実施例では、上記同特性のFET300が対称位置に配設されているため、いかなるバイアス状態であっても、その電磁界分布の対称性を乱すことはない。従って、このような構造とすれば、電磁界分布の乱れによる挿入損失の増大も抑制することができる。

【0030】(第2実施例)図7に本発明の高周波スイッチ装置の第2実施例を示す。図は、回路図である。本実施例の第1実施例と異なる所は、電気長が信号波長の約1/4の信号線路100a, bを用いて信号線路100を形成し、一つの信号線路100bの両端に、コンデンサ400を備えたFET300をそれぞれ設けたことである。これにより、アイソレーション特性の向上を実現している。

【0031】例えば、1つのFET300aをオンにすれば、入力側に設けられた1つの信号線路100aはコンデンサ400とFET300aの数Ωのオン抵抗を介してグランド200に接続される。これにより、A点から出力側を見たインピーダンスはほぼ無限大となり、信号はA点以降、次段にはほとんど伝搬されない。

【0032】また、漏洩した場合でも、次段に設けられた同様な信号線路100bとコンデンサ400を備えたFET300bの作用により、B点から出力側を見たインピーダンスがほぼ無限大となり、漏れ信号が伝搬することが防止される。これにより、アイソレーション特性を向上させることができる。

【0033】図8に入力端子Aから出力端子150までの透過特性を示す。横軸が周波数であり、縦軸が信号レベルである。周波数7.6.4GHzで図3の回路の場合には7.5dBであったアイソレーションが、本回路では21.7dBとなった。従って、このような構成にすれば、挿入損失を低減させるとともにアイソレーション特性も向上させることができる。

【0034】(第3実施例)図9に本発明の高周波スイッチ装置の第3実施例を示す。図は、回路図である。本実施例では、複数の1/4波長信号線路と複数のFET300を用いた1入力3出力の高周波スイッチ装置である。この場合も、信号線路100直下にはコンデンサ400が形成され、FET300と接続されている。これにより、アイソレーション特性の向上と挿入損失が低減された高周波スイッチ装置となる。

【0035】例えば、FET300aをオフにし、他のFET300b, 300cをオンにすれば、入力された高周波信号は出力端子150aから出力される。所定のFETをオフにし他のFETをオンにすれば、所定の出力端子から信号が得られる。

【0036】図10に出力端子150aで見た挿入損失とアイソレーション特性を示す。横軸が周波数であり縦軸が信号レベルである。図で示されるように、周波数7.6.4GHzにおいては、挿入損失2.7dB、アイソレーション特性12.2dBが得られた。従って、このような構成にすれば、挿入損失を低減させるとともにアイソレーション特性も向上された高周波スイッチ装置が実現できる。

【0037】(変形例)以上、本発明の一実施例を示したが、他に様々な変形例が考えられる。例えば、第1実施例においては信号線路100とグランド200はある間隔を持って形成されたコプレーナ線路としたが、図11に示すように信号線路100をマイクロストリップ線路としてもよい。接続される伝送線路に応じてこのように形成してもよい。

【0038】この場合、グランドの引き出しが困難になるので、図12に示すようにスルーホールによってグランド200が裏面に延長されている。図は、図11のx-x' x''断面である。これにより、グランドを容易に引き出すことができる。

【0039】また、第1実施例においては図6に示すように1つのコンデンサ400に2つのFET300を接続したが、図13に示すようにそれぞれのFET300に1つのコンデンサ400を形成してもよい。

【0040】また、第1実施例においては信号線路100の直下にコンデンサ400を形成したが、図14に示すように信号線路100上に形成してもよい。基板上に順に、信号線路100, SiNからなる絶縁膜120そして導電膜110を形成すれば同等のコンデンサ400が形成できる。

【0041】また、上記実施例では、コンデンサ400は信号線路100を利用して形成したがグラント200を利用して形成してもよい。即ち、コンデンサ400をFET300とグラント200間に形成してもよい。

【0042】

【図面の簡単な説明】

【図1】本発明の第1実施例に係る高周波スイッチ装置の上面図。

【図2】本発明の第1実施例に係る高周波スイッチ装置の構成断面図。

【図3】第1実施例に係る高周波スイッチ装置の1例の回路図。

【図4】第1実施例に係る高周波スイッチ装置の等価回路と信号の流れを示す関係図。

【図5】第1実施例に係る高周波スイッチ装置の挿入損失の改善を示す周波数特性図。

【図6】第1実施例に係る高周波スイッチ装置の回路図。

【図7】第2実施例に係る高周波スイッチ装置の回路図。

【図8】第2実施例に係る高周波スイッチ装置の挿入損失とアイソレーションの改善を表す周波数特性図。

【図9】第3実施例に係る高周波スイッチ装置の回路

図。

【図10】第3実施例に係る高周波スイッチ装置の挿入損失とアイソレーションを示す周波数特性図。

【図11】第1実施例の変形例に係る高周波スイッチ装置の上面図。

【図12】第1実施例の変形例に係る高周波スイッチ装置の構成断面図。

【図13】第1実施例に係る高周波スイッチ装置の変形回路図。

10 【図14】第1実施例の変形例に係る高周波スイッチ装置の構成断面図。

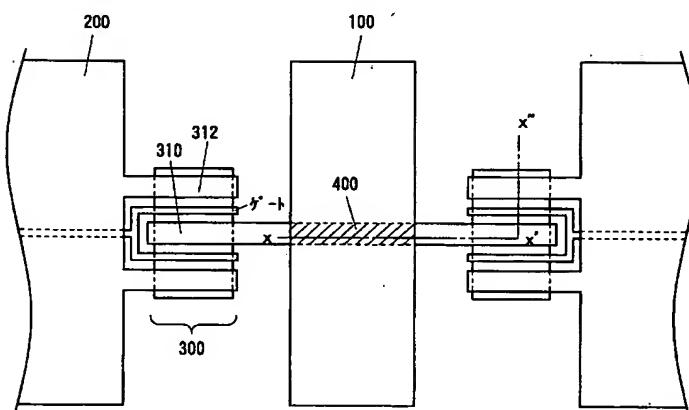
【図15】従来の高周波スイッチ装置の回路図。

【図16】従来の高周波スイッチ装置の回路図。

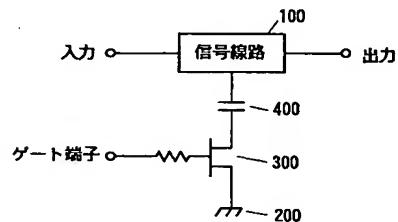
【符号の説明】

100	信号線路
100a, b	1/4波長信号線路
110	導電膜
120	絶縁膜(誘電体膜)
150	出力端子
200	グラント
300	FET
310	ドレイン電極
400	コンデンサ

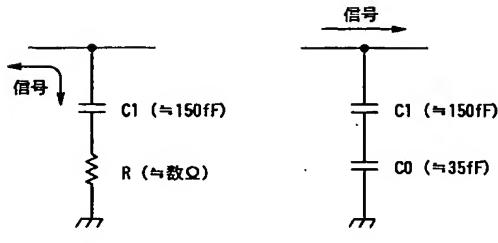
【図1】



【図3】



【図4】



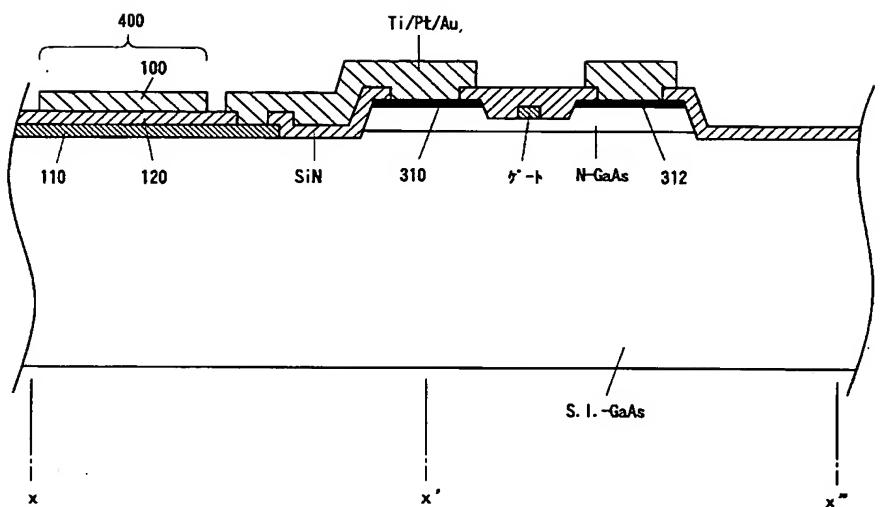
FET On

FET Off

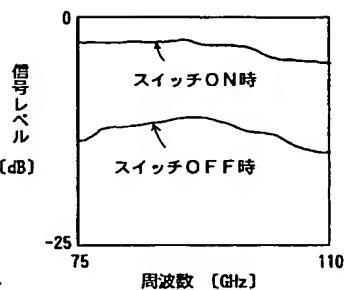
(a)

(b)

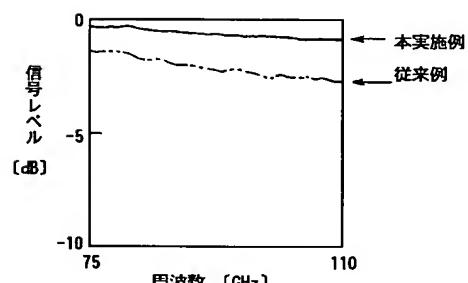
[图2]



[図 10]

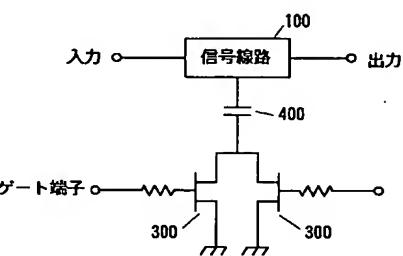


【图5】

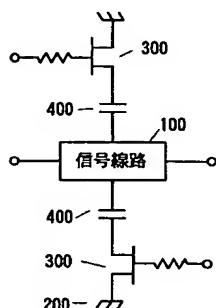


### オン時の挿入損失特性

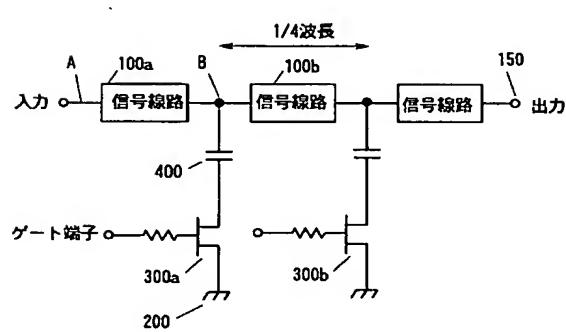
〔図 6〕



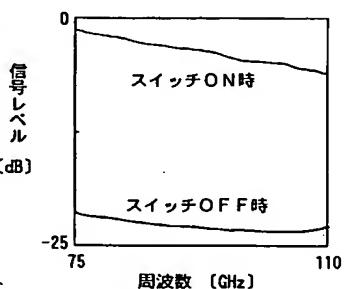
[図13]



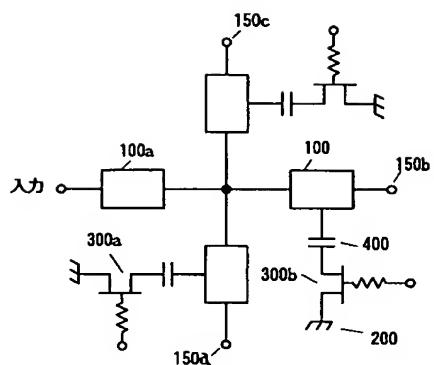
【図7】



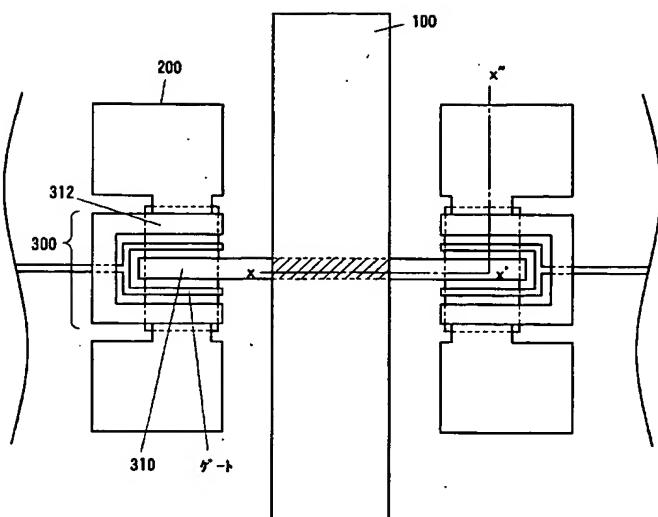
[図 8]



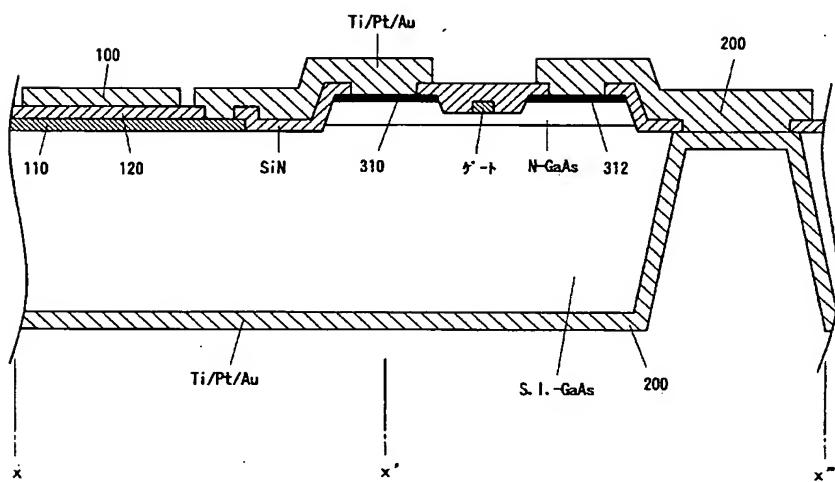
【図9】



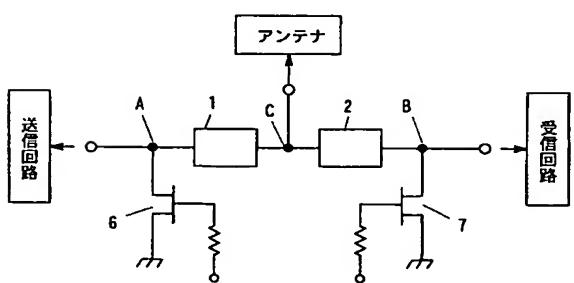
【図11】



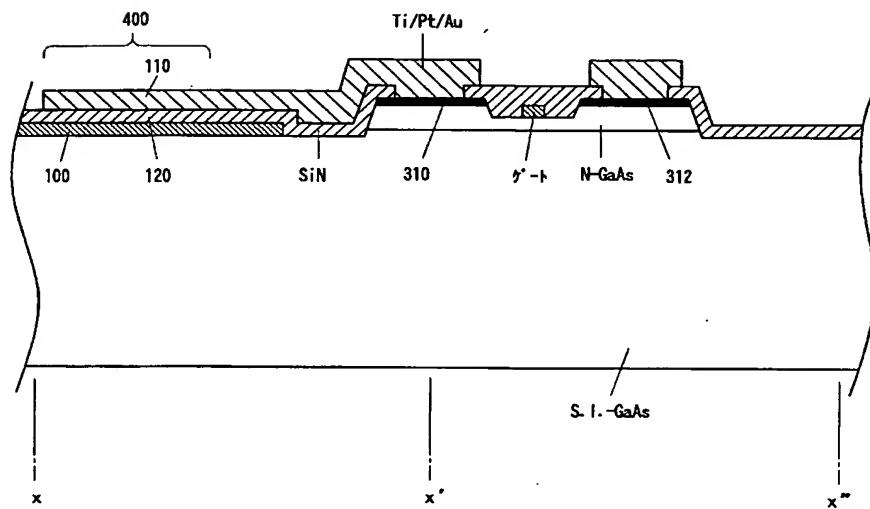
【図12】



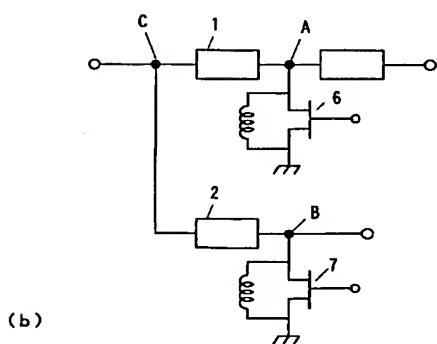
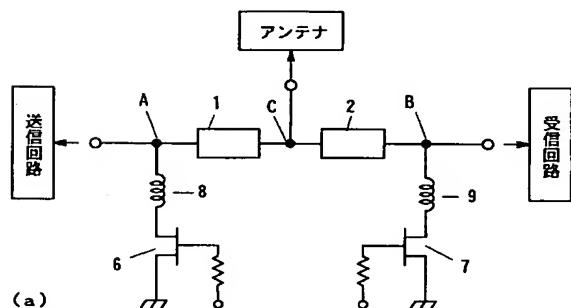
【図15】



【図14】



【図16】



フロントページの続き

(72)発明者 塚田 浩司 F ターム(参考) 5F038 AC05 AC15 AZ01 AZ03 CA02  
愛知県愛知郡長久手町大字長湫字横道41番 CA12 CD03 CD18 DF02 DF14  
地の1 株式会社豊田中央研究所内 EZ02 EZ14 EZ15 EZ20  
(72)発明者 田中 雄一 5F102 FA10 GA16 GA18 GB02 GC01  
愛知県愛知郡長久手町大字長湫字横道41番 GC05 GD01 GJ05 GL05 GV08  
地の1 株式会社豊田中央研究所内 5J012 BA04